

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-168445

(43)Date of publication of application : 22.06.1999

(51)Int.Cl.

H04J 11/00

H04B 3/06

H04L 27/38

(21)Application number : 10-256586

(71)Applicant : FUJITSU LTD

NIPPON TELEGR & TELEPH CORP
<NTT>

(22)Date of filing : 10.09.1998

(72)Inventor : AONO YOSHITAMI
IWAMATSU TAKANORI

(30)Priority

Priority number : 04140721

Priority date : 01.06.1992

Priority country : JP

04140722

01.06.1992

04229693

28.08.1992

JP

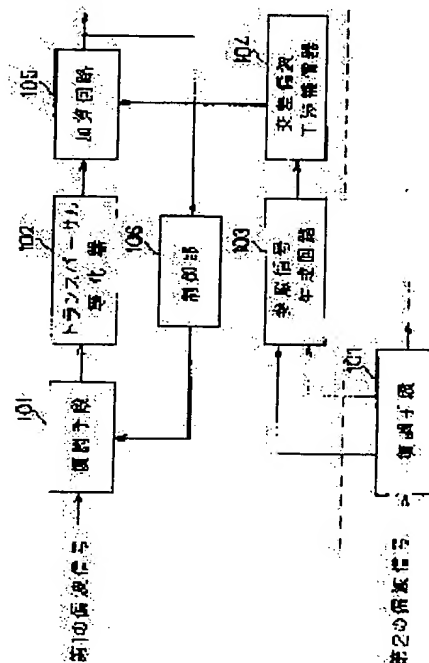
JP

(54) CROSS POLARIZATION INTERFERENCE REMOVING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To apply a device to data to be demodulated by a subordinate synchronizing detection system concerning a cross polarization interference removing device for reducing cross polarization interference to occur in a digital radio communication system for performing data transmission through cross polarization using vertical polarization and horizontal polarization.

SOLUTION: The waveform of data demodulated by a demodulating means 101 in the subordinate synchronizing detection system is equalized by a transversal equalizer 102. Since the phase of a base band signal extracted from one part of an opposite polarization side demodulating means 101 is rotated, based on that phase rotation information, a reference signal generating circuit 103 generates a reference signal for which the phase rotation is removed. Based on this reference signal, a cross polarization interference compensator 104 generates an interference compensate signal synchronized with an interference wave component in the output data of the transversal equalizer 102.



LEGAL STATUS

[Date of request for examination]

27.11.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2958314

[Date of registration] 23.07.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-168445

(43) 公開日 平成11年(1999) 6月22日

(51) Int.Cl.⁶

識別記号

F I

H 0 4 J 11/00

H 0 4 J 11/00

B

H 0 4 B 3/06

H 0 4 B 3/06

C

H 0 4 L 27/38

H 0 4 L 27/00

G

審査請求 有 請求項の数 7 O L (全 10 頁)

(21) 出願番号 特願平10-256586
(62) 分割の表示 特願平6-500400の分割
(22) 出願日 平成5年(1993) 6月1日

(31) 優先権主張番号 特願平4-140721
(32) 優先日 平4(1992) 6月1日
(33) 優先権主張国 日本 (J P)
(31) 優先権主張番号 特願平4-140722
(32) 優先日 平4(1992) 6月1日
(33) 優先権主張国 日本 (J P)
(31) 優先権主張番号 特願平4-229693
(32) 優先日 平4(1992) 8月28日
(33) 優先権主張国 日本 (J P)

(71) 出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番
1号
(71) 出願人 000004226
日本電信電話株式会社
東京都新宿区西新宿三丁目19番2号
(72) 発明者 青野 芳民
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(72) 発明者 岩松 隆則
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(74) 代理人 弁理士 伊東 忠彦

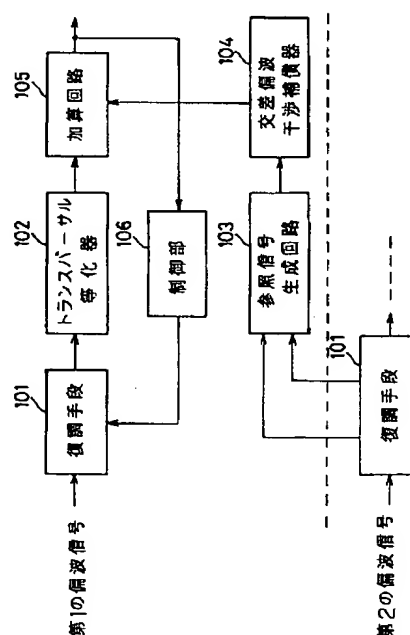
(54) 【発明の名称】 交差偏波干渉除去装置

(57) 【要約】

【課題】 本発明は垂直偏波と水平偏波を用いた交差偏波によりデータ伝送を行なうデジタル無線通信方式において生じる交差偏波間干渉を軽減する交差偏波干渉除去装置に関し、準同期検波方式で復調されるデータに適用することを目的とする。

【解決手段】 準同期検波方式の復調手段101で復調された復調データはトランスバーサル等化器102で波形等化される。相手偏波側復調手段10の一部から取り出されたベースバンド信号は位相回転しているので、その位相回転情報に基づいて参照信号生成回路103において位相回転が除去された参照信号を生成する。交差偏波干渉補償器104はこの参照信号に基づいてトランスバーサル等化器102の出力データ中の干渉波成分と同期した干渉補償信号を生成する。

本発明の原理ブロック図



【特許請求の範囲】

【請求項1】 受信した交差偏波の関係にある第1及び第2の偏波のうちの一方向の偏波を、準同期検波方式で復調する復調手段(101)と、

該復調手段(101)の出力復調データに対して波形等化を行なうトランスパサル等化器(102)と、

該復調手段(101)のうち相手偏波側の復調手段の一部より取り出されたベースバンド信号及び位相回転制御情報より、位相回転が除去された参照信号を生成する参照信号生成回路(103)と、

該参照信号生成回路(103)から取り出された参照信号から前記復調手段(101)の出力復調データに含まれる干渉波成分に対応する干渉補償信号を生成する交差偏波干渉補償器(104)と、

前記トランスパサル等化器(102)の出力復調データに該交差偏波干渉補償器(104)の出力干渉補償信号を加算して復調された同相信号及び直交信号を出力する加算回路(105)と、

該加算回路(105)の出力同相信号及び直交信号から位相回転制御信号を生成して前記復調手段(101)に帰還入力する制御部(106)とを、前記第1及び第2の偏波の夫々に対して別々に設けたことを特徴とする交差偏波干渉除去装置。

【請求項2】 前記参照信号生成回路(103)は、前記相手偏波側の復調手段(101)よりのベースバンド信号を自偏波信号クロックで識別する識別回路(53, 54)と、相手偏波側の前記制御部(52')からの位相回転制御信号をリタイミングするリタイミング回路(61)と、該リタイミング回路(61)の出力信号に

基づき該識別回路(53, 54)の出力信号の位相回転を除去して前記参照信号として出力する位相回転回路(55~58)とを含むことを特徴とする請求項1記載の交差偏波干渉除去装置。

【請求項3】 前記参照信号生成回路(103)は、前記相手偏波側の復調手段(101)よりのベースバンド信号を自偏波信号クロックで識別する識別回路(53, 54)と、相手偏波側の前記制御部(52')からの位相回転制御信号を該相手偏波信号クロックでD/A変換するD/A変換器(71)と、該D/A変換器(71)の出力アナログ信号を該自偏波信号クロックでA/D変換するA/D変換器(74)と、該A/D変換器(74)の出力信号に基づき該識別回路(53, 54)の出力信号の位相回転を除去して前記参照信号として出力する位相回転回路(55~58)とを含むことを特徴とする請求項1記載の交差偏波干渉除去装置。

【請求項4】 前記A/D変換器(74)の入力側又は出力側に、入力信号位相が一定値以上に変化したとき、出力信号の振幅を所定値に制限する自動振幅制御回路(73, 75)を設けたことを特徴とする請求項3記載の交差偏波干渉除去装置。

【請求項5】 前記A/D変換器(74)の入力側又は出力側に、オフセット電圧を低減するオフセット制御回路(73, 75)を設けたことを特徴とする請求項3又は4記載の交差偏波干渉除去装置。

【請求項6】 前記参照信号生成回路(103)は、相手偏波側の前記復調手段の出力復調データを該相手偏波信号クロックでD/A変換するD/A変換器(111, 112)と、該D/A変換器(111, 112)の出力アナログ信号を自偏波信号クロックでA/D変換して得たデジタル信号を前記参照信号として出力するA/D変換器(115, 116)とを含むことを特徴とする請求項1記載の交差偏波干渉除去装置。

【請求項7】 前記A/D変換器(74)の出力側に位相同期ループ回路(120)を設けたことを特徴とする請求項3又は4記載の交差偏波干渉除去装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は交差偏波干渉除去装置に係り、特に垂直偏波と水平偏波とを用いた交差偏波によりデータ伝送を行なうデジタル無線通信方式において生じる交差偏波間干渉を軽減する交差偏波干渉除去装置に関する。例えば、マイクロ波帯の搬送波を使用するデジタル無線通信方式として、16値直交振幅変調(16QAM)などの高能率な多値変調方式を用いた大容量のデジタル無線通信方式が普及している。かかるデジタル無線通信方式では、周波数利用効率を上げるために、多値変調の多値数を増やすと共に、交差偏波を用いたコチャンネル伝送方式を採用しているため、フェージングなどが生じると、一方の偏波成分が他方の偏波に漏洩する交差偏波間干渉が生じる。

【0002】そこで、このような交差偏波間干渉を軽減して所定のデジタル回線規格を満たすために、受信装置内に交差偏波干渉除去装置が設けられる。一方、受信装置は近年の集積回路技術の急速な進歩発展もあって、装置の小型化、無調整化に好適な準同期検波方式が適用されるようになってきた。そこで、このような準同期検波方式を採用する受信装置においても、前記交差偏波干渉除去装置を具備することが必要とされる。

【0003】

【従来の技術】図12は従来の交差偏波干渉除去装置の一例の構成図を示す。同図中、垂直偏波信号再生系には番号に添字Vを付し、水平偏波信号再生系には番号に添字Hを付してある。また、垂直偏波(V偏波)再生系及び水平偏波(H偏波)再生系の対応する回路部には同一番号を付してある。なお、送信側IF用局部発振器、マイクロ波用局部発振器をV, H両偏波間で同期をとっている。

【0004】端子1v, 1Hには夫々受信信号から分離変換された中間周波(IF)帯のV偏波信号及びH偏波信号が夫々入力され、AGC増幅器2v, 2Hとハイブ

リッド3v、3Hとを通してミキサ4v及び5v、4H及び5Hに夫々供給され、後述のハイブリッド16v、16Hからの信号と周波数変換が行なわれる。これにより、ミキサ4v及び5vより取り出されたV偏波のベースバンド信号は、低域フィルタ6v及び7vで波形整形された後、A/D変換器8v及び9vに供給されてアナログ・デジタル変換されることによりデータ識別される。同様に、ミキサ4H及び5Hより取り出されたH偏波のベースバンド信号は、低域フィルタ6H及び7Hを通してA/D変換器8H及び9Hに供給される。

【0005】A/D変換器8v及び9vより取り出されたデジタル信号はトランスバーサル等化器10vに供給され、ここで波形等化された後、加算器11v及び12vに供給される。ここで、端子1vに輸入されるV偏波のIF信号の周波数スペクトラムが図13にIで示す如きものである場合、そのIF信号中には同図にIIで示すH偏波信号成分が漏洩している。同様に、端子1Hに輸入される同図にIIIで示す周波数スペクトラムのH偏波IF信号中には、同図にIVで示すV偏波信号成分が漏洩している。

【0006】そこで、低域フィルタ6H及び7Hの両出力信号を、A/D変換器18v及び19vで夫々デジタル信号に変換した後、交差偏波干渉補償器(XPIC: Cross Polarization Interference Canceler)20vに供給し、ここでV偏波信号の復調信号中に干渉成分として含まれているH偏波成分の干渉量に相当する干渉補償信号を生成させ、更にこの干渉補償信号を加算器11v、12vに夫々供給する。これにより、トランスバーサル等化器10vから取り出されたV偏波信号の復調データは、加算器11v、12vにおいてそれらに含ま

$$\Delta f_1 = (f_{1v} + f_{1\mu}) - (f_{11} + f_{12}) \quad \dots (1)$$

ただし、 f_{1v} は送信中間周波数、

$f_{1\mu}$ は送信局部発振周波数、

f_{11} はH偏波受信局部発振周波数、

f_{12} はH偏波受信中間周波数である。

【0011】一方、A/D変換器8v及び9v（又は8H及び9H）に輸入される主信号は次式で表わされる送受の周波数差 Δf_1 で位相面が回転している。

【0012】

$$\Delta f_1 = (f_{1v} + f_{1\mu}) - (f_{11} + f_{12}) \quad \dots (2)$$

【0013】ただし、(2)式中、 f_{11} はV偏波受信局部発振周波数、 f_{12} はV偏波受信中間周波数である。ここで、 $f_{11} \neq f_{12}$ 、 $f_{11} \neq f_{12}$ であり、参照信号と主信号との位相が同期していないため、XPIC20v（及び20H）では干渉波成分を打ち消す干渉補償信号を生成することができない。本発明は上記の点に鑑みなされたものであり、準同期検波方式でも適用できる交差偏波

信号）と直交信号（Q信号）として出力される。

【0007】更に、上記の復調I信号及び復調Q信号は制御回路13v、低域フィルタ14vを通して電圧制御発振器(VCO)15vに印加されてその出力発振周波数を可変制御する。このVCO15vの出力発振周波数はミキサ4v及び5vに夫々供給される。なお、A/D変換器8v、9v、18v及び19vの夫々のクロックは、AGC増幅器2vより取り出されたV偏波IF信号中からクロック再生回路(BTR回路)17vにより抽出されたクロック信号が用いられ、互いに同期して動作せしめられている。

【0008】同様にして、トランスバーサル等化器10Hから取り出されたH偏波信号の復調データも、それらに干渉波成分として含まれているV偏波信号成分が加算器11H、12HにおいてXPIC20Hよりの干渉補償信号と相殺除去された後I信号及びQ信号として出力される。かかる従来の交差偏波干渉除去装置では、A/D変換器18v及び19v（あるいは18H及び19H）に輸入される参照信号は、主信号側であるV偏波信号（あるいはH偏波信号）のベースバンド信号に含まれる干渉波成分と同期がとれているため、XPIC20v（20H）ではこの干渉波成分を打ち消す干渉補償信号を生成することができる。

【0009】

【発明が解決しようとする課題】しかるに、準同期検波方式ではA/D変換器18v及び19v（又は18H及び19H）に輸入される参照信号は次式で表わされる送受の周波数差 Δf_2 で位相面が回転している。

【0010】

【数1】

干渉除去装置を提供することを目的とする。

【0014】

【課題を解決するための手段】図1は請求項1記載の発明の原理ブロック図を示す。同図中、復調手段101は受信した交差偏波の関係にある第1及び第2の偏波を別々に準同期検波方式で復調する。トランスバーサル等化器102は復調手段101の出力復調データに対して波形等化を行なう。参照信号生成回路103は相手偏波側の復調手段101の一部より取り出されたベースバンド信号及び位相回転制御情報より、位相回転が除去された参照信号を生成する。

【0015】交差偏波干渉補償器104は参照信号生成回路103から取り出された参照信号から復調手段10

1 の出力復調データに含まれる干渉波成分に対応する干渉補償信号を生成する。加算回路 105 はトランスバーサル等化器 102 の出力復調データに交差偏波干渉補償器 104 の出力干渉補償信号を加算して復調された同期信号及び直交信号を出力する。

【0016】制御部 106 は上記の同期信号及び直交信号から位相回転制御信号を生成して復調手段 101 に帰還入力する。そして、上記の復調手段 101、トランスバーサル等化器 102、参照信号生成回路 103、交差偏波干渉補償器 104、加算回路 105 及び制御部 106 が、第 1 の偏波及び第 2 の偏波の夫々に対して別々に設けられる。

【0017】準同期検波方式では復調手段 101 において入力中間周波数と若干差のある局部発振周波数を用いて復調されたベースバンド信号を生成するが、その復調ベースバンド信号は前記したように Δf_1 なる周波数で位相面が回転している。従って、相手偏波側の復調手段から参照信号生成回路 103 に入力されるベースバンド信号も同様に Δf_2 なる周波数で位相面が回転している。

【0018】しかし、準同期検波方式では自偏波側の復調手段 101 において、デジタル信号処理により上記 Δf_2 の位相面の回転をベースバンド信号から除去するようにしているため、復調手段 101 よりトランスバーサル等化器 102 に入力される復調データは従来の交差偏波干渉除去装置における復調データと同じ位相回転がない信号である。

【0019】一方、干渉波成分を打ち消すために交差偏波干渉補償器 104 に、相手偏波側の復調手段 101 内から取り出したベースバンド信号を参照信号としてそのまま入力すると、干渉補償信号には位相回転が生じてしまう。そこで、本発明では参照信号生成回路 103 を設け、相手偏波側の復調手段 101 の一部より取り出されたベースバンド信号及び位相回転制御情報に基づいて位相回転が除去されたベースバンド信号、すなわち参照信号を生成し、それを交差偏波干渉補償器 104 に入力する。

【0020】これにより、トランスバーサル等化器 102 より取り出される復調データ中に漏洩している相手偏波側からの干渉波成分と、交差偏波干渉補償器 104 からの干渉補償信号とは、夫々同期がとれた信号とすることができる。

【0021】

【発明の実施の形態】図 2 は本発明の第 1 実施例の構成図を示す。同図中、図 1 と同一構成部分には同一符号を付し、その説明を省略する。なお、H 偏波復調系と V 偏波復調系は同一構成であるため、図 2 では図示の便宜上、一方の偏波復調系の構成と他方の偏波復調系の一部のみを示してある。

【0022】図 2 において、端子 31 にはコチャンネル

伝送方式で伝送され、かつ、受信された V 偏波及び H 偏波のうち一方の偏波信号が IF 帯に変換されて入力される。この IF 帯の偏波信号は AGC 増幅器 32 で振幅が一定値に制御された後、ハイブリッド 33 を通してミキサ 34 及び 35 に夫々入力される。一方、発振器 36 からは中間周波数と僅かに異なる周波数 f_1 が受信 IF 局部発振周波数として固定的に発振出力されており、この局部発振周波数 f_1 が直接にミキサ 34 に供給される一方、 $\pi/2$ 移相器 37 で位相が $\pi/2$ シフトされた後ミキサ 35 に供給される。これにより、ミキサ 34 及び 35 からはベースバンド信号が夫々取り出される。

【0023】このベースバンド信号は折り返しノイズ除去用の低域フィルタ 38 及び 39 により夫々所定カットオフ周波数（例えば f_{CLK} ）以上の高周波数成分が除去された後、A/D 変換器 40 及び 41 に入力され、ここで周波数 $2f_{CLK}$ の自偏波信号クロックに基づいてアナログ・デジタル変換される。上記の自偏波信号クロック $2f_{CLK}$ は AGC 増幅器 32 の出力 IF 信号からクロック再生回路（BTR 回路）42 で抽出再生されたクロック f_{CLK} に同期したたとえば 2 倍の周波数のクロックで、BTR 回路 42 より生成出力される。

【0024】A/D 変換器 40、41 の出力復調データは、クロック $2f_{CLK}$ で動作する有限レスポンス（FIR）デジタルフィルタ 42、43 によってロールオフ特性が付与された後、位相回転回路（DCR）45 に供給される。位相回転回路 45 は入力復調データの前記した周波数 Δf_1 の位相回転を、クロック f_{CLK} と回路 46 よりの位相回転制御信号とによりデジタル信号処理によって打ち消す公知の回路である。

【0025】前記した AGC 増幅器 32 から上記の位相回転回路 45 までの回路部が前記した準同期検波方式の復調手段 101 に相当し、位相回転回路 45 から取り出された、位相回転が除去された復調データが、前記トランスバーサル等化器 102 を構成するトランスバーサルフィルタ 47、48 により波形等化された後、前記加算回路 105 を構成する加算器 49、50 に供給される。

【0026】一方、相手偏波側の復調手段 101 内の発振器 36' より出力される受信 IF 局部発振周波数は f_2 であり、また前記低域フィルタ 38、39 に相当する低域フィルタ 38'、39'（図示せず）から分岐されて取り出されたベースバンド信号が A/D 変換器 53、54 に夫々供給され、ここで自偏波信号クロック $2f_{CLK}$ に基づいてアナログ・デジタル変換される。

【0027】A/D 変換器 53、54 の出力データは FIR デジタルフィルタ 55、56 によってロールオフ特性が付与された後、位相回転回路（DCR）57 に供給される。この位相回転回路 57 は入力データの前記した周波数 Δf_2 の位相回転を、自偏波信号クロック f_{CLK} と後述の回路 58 よりの位相回転制御信号とによりデジタル信号処理によって打ち消す。

【0028】ここで、相手偏波側のDCR制御信号発生部51'から電圧制御発振器(VCO)52'を通して相手偏波側のベースバンド信号と同じ位相回転を示す位相回転制御信号がリタイミング回路61に供給されている。このリタイミング回路61は例えばファーストインファーストアウト(FIFO)よりなるメモリで、入力位相回転制御信号を相手偏波信号クロック f_{CLK} 'で書き込み、自偏波信号クロック f_{CLK} で読み出して信号発生回路58に供給する。これにより、信号発生回路58からの位相回転信号は自偏波信号クロック f_{CLK} に同期されるため、前記位相回転回路57からは相手偏波側ベースバンド信号が自偏波信号クロックに基づいて位相回転が除去され、参照信号として取り出される。

【0029】一方、位相回転回路45の出力復調データ中に含まれている相手偏波側からの干渉波成分は自偏波信号クロック f_{CLK} に同期しているから、位相回転回路57から取り出される参照信号は上記の干渉波成分と同期がとれた信号となる。この参照信号は前記交差偏波干渉補償器104を構成している交差偏波干渉補償器59、60により公知の動作に基づいて干渉補償信号に変換された後、加算器49及び50に供給される。これにより、加算器49、50からは干渉波成分が大幅に低減若しくは除去された復調データ、すなわちI信号、Q信号が取り出される。

【0030】また、このI信号、Q信号はDCR制御信号発生部51に供給されて、DCR制御信号を発生させる。このDCR制御信号はVCO52に制御電圧として印加されてその出力発振周波数を可変制御する。VCO52の出力発振周波数に同期して信号発生回路46から位相回転制御信号が取り出されて位相回転回路45に供給される。このように、本実施例によれば、準同期検波方式で検波された復調データ中の干渉波成分も略除去す

$$\begin{aligned} |\hat{\theta}(t)| &= \frac{1}{t_2 - t_1} \int_{t_1}^{t_2} |\theta(t)| dt \\ &= 90^\circ \end{aligned}$$

【0037】図5は(3)式を利用した自動振幅制御回路の一実施例の構成図を示す。同図中、端子76に入力された前記アナログ制御信号は可変利得増幅器77を通してA/D変換器78に供給され、ここでデジタル制御信号に変換される。なお、このA/D変換器78は図3に示したA/D変換器74に相当する。A/D変換器78(74)の出力デジタル制御信号は絶対値回路79に供給され、ここで符号ビットを取り除くなどの処理によって絶対値をとられた後、差動増幅器80に供給され、ここで前記平均値 90° を示す基準デジタル値との差に応じたレベルの制御信号に変換される。この制御信号はアップダウンカウンタ、アキュムレータで構成される低域フィルタ81を通して、更にD/A変換器(図示せず)を通して可変利得増幅器77の利得制御電

ることができる。

【0031】図3は本発明の第2実施例の構成図を示す。同図中、図1及び図2と同一構成部分には同一符号を付し、その説明を省略する。図3において、相手偏波側復調系のVCO52'から取り出された制御信号は相手偏波信号クロック f_{CLK} 'に基づいてD/A変換器71によりデジタル・アナログ変換されて連続なアナログ制御信号に変換された後、低域フィルタ72により不要高周波成分が除去されてから制御(CONT)回路73に供給される。

【0032】この制御回路73は後述の図5又は図6に示す自動振幅制御回路及び図7又は図8に示す自動オフセット制御回路の一方又は両方であって、入力アナログ制御信号に対して自動的に振幅変動又はオフセット電圧の変動を抑制して、次段のA/D変換器74に供給する。A/D変換器74は自偏波信号クロック f_{CLK} に基づいてアナログ制御信号をアナログ・デジタル変換し、自偏波用の位相回転制御信号を生成して信号発生回路58に供給する。

【0033】ここで、相手偏波側のVCO52'から自偏波側に受け渡される制御信号の位相 θ は周期的に回転していると考えられるから、図4に示すような三角波となる。この制御信号のある時間の位相を $\theta(t)$ とすると、長い時間における $|\theta(t)|$ の振幅平均値

【0034】

【数3】

$$|\hat{\theta}(t)|$$

【0035】は次式で表わされる。

【0036】

【数4】

…(3)

圧として印加される。

【0038】図6は自動振幅制御回路の他の実施例の構成図を示す。同図中、図5と同一構成部分には同一符号を付してある。図6において、A/D変換器78(74)の出力デジタル制御信号はフリップフロップ82を通して比較回路83の端子Aに入力される一方、直接に比較回路83の端子Bに入力される。前述したように、アナログ制御信号は図4に示すように位相 θ が $+180^\circ$ から -180° に大きく変化する。そこで、比較回路83は端子A、Bの入力値を比較し、両者が $+180^\circ$ から -180° までの一定値よりも大きく変化したときのみ、端子Dの出力をハイレベルとし、それ以外のときは端子Dの出力をローレベルとする。

【0039】これにより、比較回路83の端子A、Bの

入力値が前記一定値より小なる正常状態のときには、フリップフロップ84にはOR回路85を通して印加されるクロックパルスCKにより比較回路13の端子Cより出力される比較結果がラッチされる。これに対し、端子A、Bの入力値が前記一定値より大なるときはOR回路85の出力信号がハイレベルとなり、クロックパルスの出力が禁止されるため、フリップフロップ84では比較結果がラッチされず、前回の値がそのまま保持される。

【0040】従って、フリップフロップ84よりD/A変換器（図示せず）及び低域フィルタ86を通して可変利得増幅器77の利得制御端子に印加される制御電圧は、制御信号の位相 θ が $+180^\circ$ 以上又は -180° 以下に大きく変化しないように、可変利得増幅器77の利得を制御する。また、制御回路73は前記したように自動オフセット制御回路でもよい。この自動オフセット制御回路の一実施例を図7に示す。同図中、端子87より入力される前記アナログ制御信号は、コンデンサ88を介してA/D変換器89に供給される。このA/D変換器89は前記A/D変換器74に相当する。

【0041】A/D変換器89（74）の出力デジタル制御信号は差動増幅器90に供給され、ここで位相 0° に相当する基準値と比較される。ここで端子87に輸入されるアナログ制御信号のオフセット電圧の時間平均値 $|\theta(t)|$ は、図4からわかるように位相 0° を示す。従って、差動増幅器90からはオフセット電圧の時間平均値からの差のデジタル値が取り出され、このデジタル値はD/A変換器（図示せず）及び低域フィルタ91を夫々通してA/D変換器89（74）の入力アナログ制御信号にオフセット電圧をなくすように加算される。

【0042】図8は上記の自動オフセット制御回路の他の実施例の構成図を示す。同図中、比較回路93はフリップフロップ92を通したデジタル制御信号と、通さないデジタル制御信号とがある一定値以上変化したとき、そのデジタル制御信号の値が -180° 又は $+180^\circ$ より正側にずれているか負側にずれているかを示す信号を端子Cよりフリップフロップ94に出力し、また端子Dよりローレベル又はハイレベルの信号を出力する。

【0043】フリップフロップ94はデジタル制御信号の値が $+180^\circ$ より正側又は -180° より負側にずれているときはOR回路95よりクロックが入力されないために比較回路93の出力をラッチせず、前回の値を保持する。このフリップフロップ94の出力はD/A変換器（図示せず）及び低域フィルタ96を通してA/D変換器89（74）の入力アナログ制御信号に加算される。

【0044】本実施例では、位相 θ が $+180^\circ$ より大のときにはフリップフロップ94の出力はハイレベルとなり、A/D変換器89（74）の入力アナログ制御信

号に所定のオフセット電圧を加算し、位相 θ が -180° より小なるときはフリップフロップ94の出力をローレベルとし、上記アナログ制御信号に所定のオフセット電圧を減算する。

【0045】なお、図3に示す制御回路73は同図に75で示す如くA/D変換器74の出力側に設けるようにしてもよい。この場合、図5乃至図8の可変利得増幅器77、コンデンサ88の前端にA/D変換器74が設けられ、回路はデジタル回路で構成される。また、自動振幅制御回路及び自動オフセット制御回路を併用する場合は、両回路を低域フィルタ72の出力に対して並列に設けて端子76及び87に夫々アナログ制御信号を供給し、夫々の回路より出力されたデジタル制御信号を加算して信号発生回路58に供給する。

【0046】図9は本発明の第3実施例の構成図を示す。同図中、図1及び図2と同一構成部分には同一符号を付し、その説明を省略する。本実施例は図4に示すように参照信号生成回路103が相手偏波側復調手段101'によって得られた、位相回転が除去されているベースバンド信号（復調データ）が供給されるD/A変換器111、112と、D/A変換器111、112の出力信号が入力される折り返しノイズ除去用低域フィルタ113、114と、低域フィルタ113、114の出力信号が入力されるA/D変換器115、116よりなる点に特徴がある。

【0047】D/A変換器111及び112により相手偏波信号クロック f_{CLK} に基づいて連続するアナログ復調信号が取り出される。このアナログ復調信号は既に位相回転は除去されているため、低域フィルタ113、114を通してA/D変換器115、116に供給され、ここで自偏波信号クロック f_{CLK} に基づいて自偏波の参照信号に変換された後、交差偏波干渉補償器59、60に入力される。

【0048】図10は本発明の第4実施例の構成図を示す。同図中、図1及び図3と同一構成部分には同一符号を付し、その説明を省略する。本実施例は第2実施例のA/D変換器74の出力側に、図10に示す如き位相同期ループ回路（PLL回路）120を設けた点に特徴を有する。このPLL回路120はA/D変換器74又は制御回路75の出力デジタル信号の位相情報の急激な変化を緩やかにして、相手偏波復調系より自偏波復調系へ受け渡される位相回転情報 θ を安定に変化させるものである。これにより、A/D変換器74やD/A変換器71での誤差の発生や精度不足の問題を解決できる。

【0049】図11は上記のPLL回路120の一実施例の回路図を示す。同図中、位相情報 θ を有する入力デジタル制御信号は減算器121に供給され、ここでPLL回路120の出力デジタル制御信号と減算され、位相誤差を示す信号に変換される。従って、減算器121は位相比較器を構成している。この位相誤差情報はア

ップダウンカウンタやアキュムレータにより構成された低域フィルタ 1 2 2 を通して加算器 1 2 3 に入力される。この加算器 1 2 3 は出力デジタル信号が入力側に帰還される構成とされており、電圧制御発振器 (V C O) に相当する動作を行なう。加算器 1 2 3 の出力信号は出力デジタル制御信号として前記信号発生回路 5 8 に入力される一方、減算器 1 2 1 に帰還入力される。

【0050】なお、本発明は以上の実施例に限定されるものではなく、図 3 や図 1 0 に示す各実施例に、制御回路 7 3, 7 5 を設けなくとも原理的にはかまわない。

【0051】

【発明の効果】上述の如く、本発明によれば、トランスバーサル等化器より取り出される復調データ中に漏洩している相手偏波側からの干渉波成分と、交差偏波干渉補償器からの干渉補償信号とは、夫々同期がとれた信号とすることができるため、準同期検波方式を採用しても交差偏波間干渉を大幅に低減若しくは除去することができ、従って復調部の大幅なデジタル信号処理が可能となり、復調部の小型、軽量化、高信頼化に寄与するところ大である等の特長を有するものである。

【図面の簡単な説明】

【図 1】本発明の原理ブロック図である。

【図 2】本発明の第 1 実施例の構成図である。

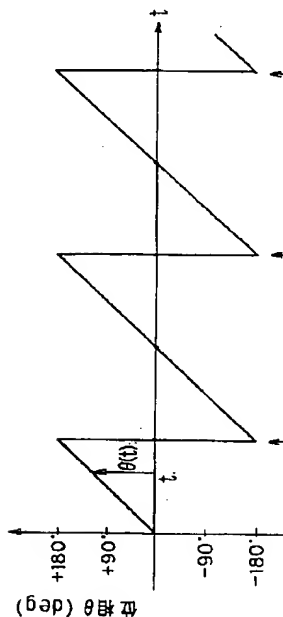
【図 3】本発明の第 2 実施例の構成図である。

【図 4】制御信号位相の時間変化を示す図である。

【図 5】自動振幅制御回路の一実施例の構成図である。

【図 4】

制御信号位相の時間変化を示す図



【図 6】自動振幅制御回路の他の実施例の構成図である。

【図 7】自動オフセット制御回路の一実施例の構成図である。

【図 8】自動オフセット制御回路の他の実施例の構成図である。

【図 9】本発明の第 3 実施例の構成図である。

【図 10】本発明の第 4 実施例の構成図である。

【図 11】PLL 回路の一実施例の回路図である。

【図 12】従来の一例の構成図である。

【図 13】交差偏波干渉の補償を説明する図である。

【符号の説明】

3 1 I F 信号入力端子

3 6 発振器

4 5, 5 7 位相回転回路

4 7, 4 8 トランスバーサルフィルタ

4 9, 5 0 加算器

5 9, 6 0 交差偏波干渉補償器 (X P I C)

7 3, 7 5 制御回路

2 0 1 0 1, 1 0 1' 復調手段

1 0 2 トランスバーサル等化器

1 0 3 参照信号生成回路

1 0 4 交差偏波干渉補償器

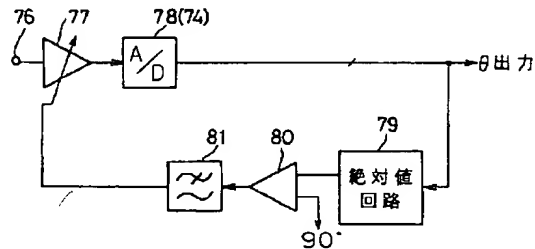
1 0 5 加算回路

1 0 6 制御部

1 2 0 位相同期ループ回路 (P L L 回路)

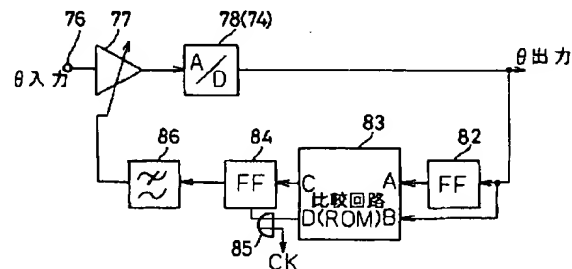
【図 5】

自動振幅制御回路の一実施例の構成図



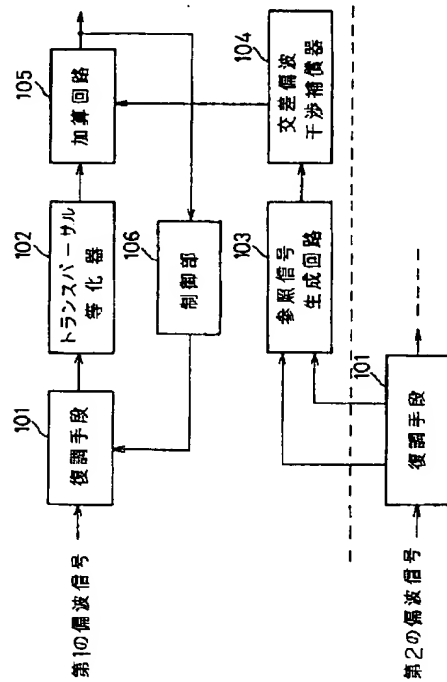
【図 6】

自動振幅制御回路の他の実施例の構成図



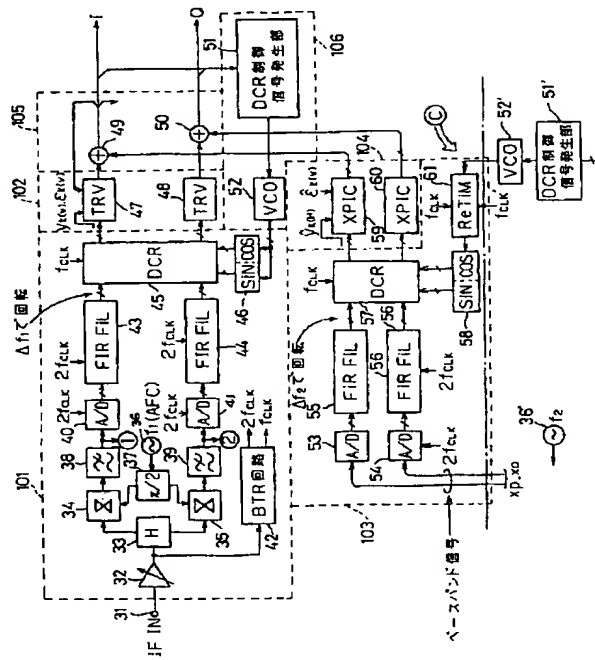
【図1】

本発明の原理ブロック図



【図2】

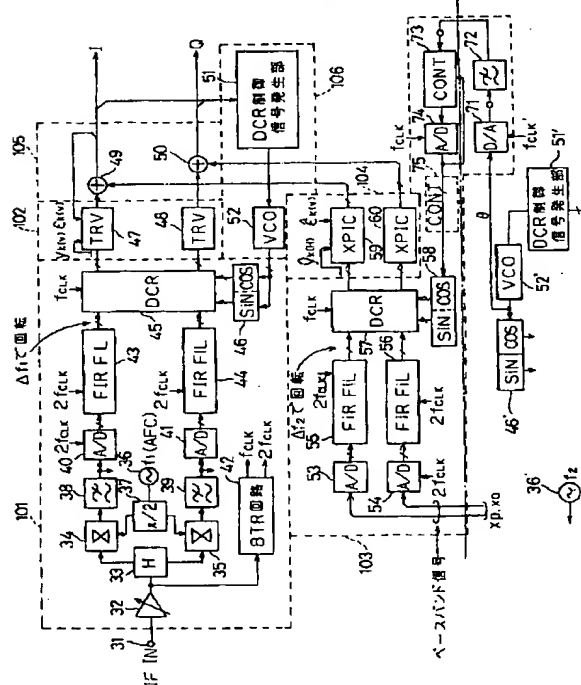
本発明の第1実施例の構成図



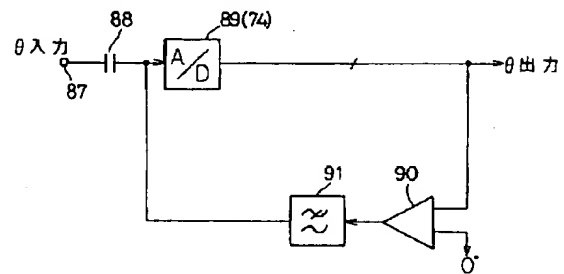
【図7】

【図3】

本発明の第2実施例の構成図

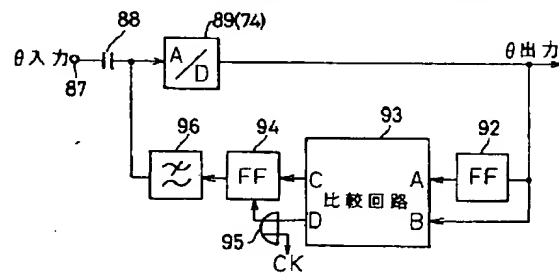


自動オフセット制御回路の一実施例の構成図



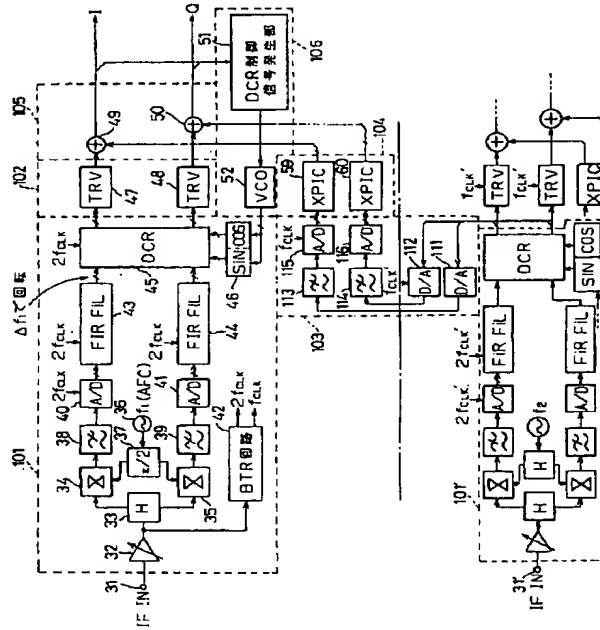
【図8】

自動オフセット制御回路の他の実施例の構成図



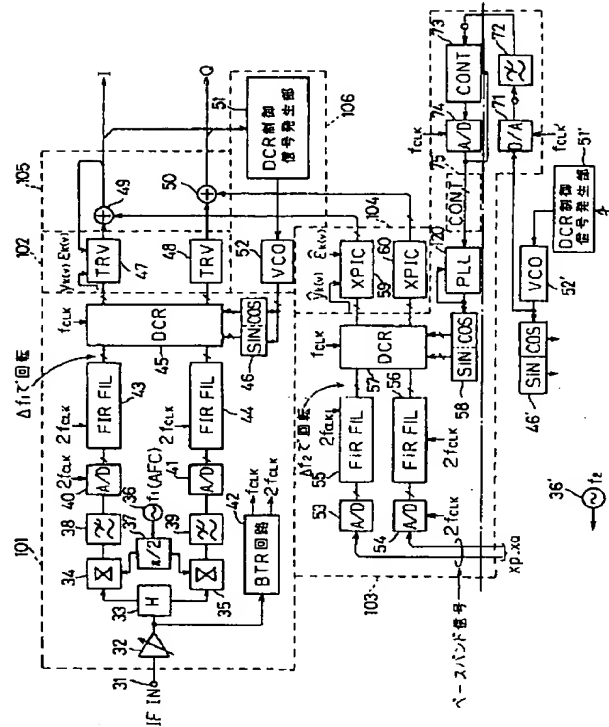
【図9】

本発明の第3実施例の構成図



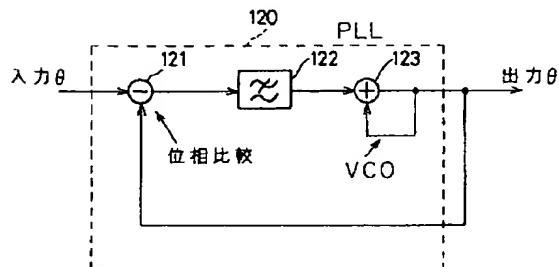
【図10】

本発明の第4実施例の構成図



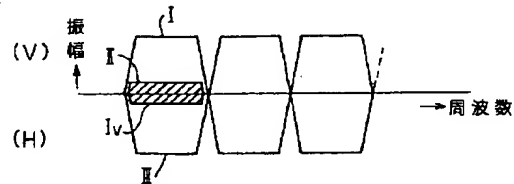
【図11】

PLL回路の一実施例の回路図



【図13】

交差偏波干渉の補償を説明する図



【図 1 2】

従来の一例の構成図

